

OISD MOSFET 阈值电压建模与结构设计

高 珊, 孟 坚, 陈军宁, 柯导明
(安徽大学 电子科学与技术学院, 安徽 合肥 230039)

摘 要: 对一种新型半绝缘 SOI MOS 器件的阈值电压进行建模, 该器件采用源漏注氧 OISD 技术, 具有优良的自加热效应抑制能力和耐压特性. 由于沟道中存在复杂的二维势场分布, OISD MOSFET 阈值电压, 亚阈值斜率及短沟道效应均受到硅窗口尺寸的调制. 给出了一个基于数值仿真的 OISD MOSFET 阈值电压简单模型, 该模型可指导器件结构设计, 并通过 MEDICI 二维数值仿真进行验证. 最后, 对 OISD MOSFET 亚阈值斜率、短沟道阈值电压偏移以及 DIBL 因子等重要电学参量进行详细的研究.

关键词: OISD MOSFET; 阈值电压; 亚阈值斜率; 短沟道效应; DIBL 效应

中图分类号: TN386.1

文献标识码: A

文章编号: 1000-7180(2010)07-0242-04

Modeling of the Threshold Voltage for OISD MOSFET and its Structure Design

GAO Shan, MENG Jian, CHEN Jun-ning, KE Dao-ming

(School of Electronic Science and Technology, Anhui University, Hefei 230039, China)

Abstract: A semi-SOI MOSFET produced by drain/source oxygen implantation can suppress self-heating effect and improve breakdown voltage. However owing to the complicated 2-D electric field distribution, the threshold voltage, the sub-threshold slope and the SCEs (short channel effects) of OISD MOSFET are modulated by the size of the silicon window. A compact threshold voltage model based on 2-D numerical simulation was provided for OISD MOST design. At last the threshold voltage model was verified and several other important electrical parameters, including sub-threshold slope, DIBL factor and SCEs, were analyzed in details with the help of MEDICI 2D simulator.

Key words: OISD MOSFET; threshold voltage; sub-threshold slope; short channel effects; DIBL effect

1 引言

SOI MOS^[1]与体硅 MOS 器件相比, 采用氧化物隔离技术, 抗辐射特性好, 隐埋氧化层可以有效消除门锁效应, 减小结泄漏电流和寄生电容, 使电路的功耗和延时显著下降. 由于这些独特优势, SOI 技术克服了体硅器件的局限性, 广泛应用在低压、低功耗、高速 IC 集成电路中. 然而 SOI MOSFET 的应用和发展受到两个挑战: (1) 顶层硅膜电力线相对集中, 击穿电压低于体硅 MOSFET; (2) 隐埋氧化层的 SiO₂ 材料热导率比 Si 材料低 2 个数量级, 有源区产

生的热量难以及时散发出去, 导致严重的自加热效应, 成为影响器件可靠性和稳定性的主要因素.

国内外相关文献提出了一些方案, 例如采用其它隐埋层材料, 包括具有 SiO₂/Si₃N₂/SiO₂ 隐埋层的多层纵向结构^[2], AlN 替代 SiO₂ 的 SOAN 结构, 以及引入空洞各种 SON 结构等^[3-4]. 另一种有效的策略是综合体硅和 SOI 各自的优点, 制备部分绝缘和部分导电的隐埋层, 例如采用半背沟道注入技术, 半绝缘键合技术, 以及源漏注氧结构^[5]等实现这种部分隐埋氧化层的 MOS 器件 (Partial SOI, PSOI^[6]).

虽然已经有一些研究证实了部分隐埋氧化层在

保留了 SOI MOSFET 原有优势的基础上,能够提供有效的低热阻通道,降低器件有源区温度,但是关于部分隐埋氧化层结构设计对器件主要参数影响的研究还不全面,更缺乏相关的解析模型. 文中在 MEDICI 二维数值仿真的基础上,分析 OSID MOSFET 阈值电压,亚阈值斜率与硅窗口尺寸,沟道长度和掺杂浓度关系,讨论 OSID 器件短沟道效应,从而达到指导器件设计的目的.

2 OSID MOSFET 阈值电压

图 1 所示的是 OSID MOSFET 的纵向剖面结构. 其中 t_s 表示顶层硅膜厚度, t_{box} 表示隐埋氧化层厚度, t_{ox} 表示栅氧化层厚度, L_{ch} 表示沟道长度, W_s 表示硅窗口长度.

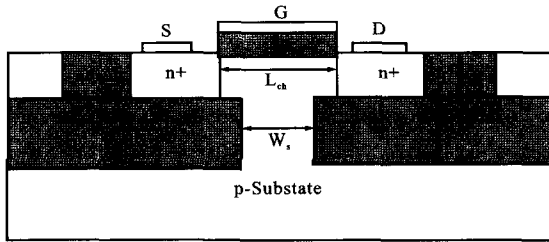


图 1 OSID MOSFET 的剖面结构

根据图 1, OSID MOSFET 结构介于 SOI 基和体硅 MOSFET 之间, 因此首先参考一维长沟道 SOI MOS 背面积累时的阈值电压 $V_{\text{thf.a}}$ 模型和体硅 MOS 的阈值电压 $V_{\text{th.b}}$ 模型, 分别表示为

$$V_{\text{thf.a}} = V_{\text{FBf}} + \left(1 + \frac{C_s}{C_{\text{ox}}}\right) 2\phi_F - \frac{Q_s}{2C_{\text{ox}}}, \quad (1)$$

$$Q_s = qN_A t_{\text{si}}, \quad C_s = \frac{\epsilon_{\text{si}}}{t_{\text{si}}} \quad (1)$$

$$V_{\text{th.b}} = V_{\text{FBf}} + 2\phi_F - \frac{Q_{\text{dep}}}{C_{\text{ox}}} \quad (2)$$

$$Q_{\text{dep}} = qN_A x_{\text{dm}} x_{\text{dm}} = \sqrt{2\epsilon_{\text{si}}(2\phi_F + V_b)/qN_A} \quad (3)$$

其中, V_{FBf} 是平带电压, ϵ_{si} 是硅的介电常数, N_A 是沟道掺杂浓度. 由 OSID MOSFET 剖面结构可见, 这种结构大致分为两段 SOI MOS 结构和一个体硅 MOS 结构的组合. 通常考察 MOS 器件的栅极对沟道的控制能力, 可以体现在栅对沟道中电荷的控制上. 根据电荷控制原理, 由式(1)和式(2)可得:

$$(V_{\text{thf.a}} - V_{\text{FBf}} - 2\phi_F) C_{\text{ox}} = 2\phi_F C_s - \frac{Q_s}{2} \quad (4)$$

$$(V_{\text{th.b}} - V_{\text{FBf}} - 2\phi_F) C_{\text{ox}} = -Q_{\text{dep}} \quad (5)$$

上面两等式的右边分别是一维体硅和背面积累 SOI MOSFET 的栅电极所控制的沟道电荷.

为了求解近似估算 OSID 结构中, 阈值附近栅

极控制的电荷量, 根据 SOI 和体硅部分所占的比重, 加权求平均, 可以得到近似模型. 令 $\gamma = W_s/L_{\text{ch}}$, $1 - \gamma = (L_{\text{ch}} - W_s)/L_{\text{ch}}$, 可得:

$$[V_{\text{thf.a}}(1 - \gamma) + V_{\text{th.b}}\gamma - V_{\text{FBf}} - 2\phi_F] C_{\text{ox}} = \left(2\phi_F C_s - \frac{Q_s}{2}\right)(1 - \gamma) - Q_{\text{dep}}\gamma \quad (6)$$

等式右边即为 OSID MOSFET 栅极控制电荷, 因此近似估算出阈值电压应为:

$$V_{\text{th.OSID}} = V_{\text{thf.a}}(1 - \gamma) + V_{\text{th.b}}\gamma = V_{\text{FBf}} + 2\phi_F + \left(\frac{2\phi_F C_s}{C_{\text{ox}}} - \frac{Q_s}{2C_{\text{ox}}}\right)(1 - \gamma) - \frac{Q_{\text{dep}}}{C_{\text{ox}}}\gamma \quad (7)$$

同理, 进一步地得到背面耗尽时的 OSID MOSFET 的阈值电压表示为:

$$\begin{aligned} V_{\text{th.OSID}} &= V_{\text{thf.d}}(1 - \gamma) + V_{\text{th.b}}\gamma \\ &= V_{\text{FBf}} + 2\phi_F - \frac{Q_{\text{dep}}}{C_{\text{ox}}}\gamma + \left[\frac{2\phi_F C_s}{C_{\text{ox}}} - \frac{Q_s}{2C_{\text{ox}}} - \frac{1}{C_{\text{ox}}} \frac{C_s C_{\text{box}}}{C_s + C_{\text{box}}} (V_{\text{bg}} - V_{\text{bga}})\right] \cdot (1 - \gamma) \end{aligned} \quad (8)$$

3 模型修正

综上所述, 尽管式(8)可以近似反映出在隐埋氧化层上刻蚀硅窗口对器件阈值电压影响的趋势, 但并不精确. 误差的产生主要归结三方面的原因:

(1) 模型是在一维长沟道 SOI 和体硅 MOSFET 的基础上建立的, 因此对于短沟道器件并不适用, 因此必须对式(1)和式(3)的阈值电压模型分别加入二维短沟道阈值电压的修正项^[7-8], 修正因子也是 γ 和 $(1 - \gamma)$ 的函数. 短沟道 SOI MOS 阈值电压的修正项^[7]为:

$$\Delta V_{\text{thf.a}} = \frac{C_{\text{box}}}{C_{\text{ox}}} [2(V_{\text{bi}} - \phi_s) + V_{\text{ds}}] \cdot (\exp^{-(1-r)L_{\text{ch}}/2l} + 2\exp^{-(1-r)L_{\text{ch}}/l}) \quad (9)$$

短沟道体硅 MOS 阈值电压的修正项^[8]为:

$$\Delta V_{\text{th.b}} = \{2\phi_c + V_{\text{ds}} + [2\phi_c(\phi_c + V_{\text{ds}})(C_{\text{DIBL}} + 1)]^{1/2}\} / (C_{\text{DIBL}} - 1) \quad (10)$$

式中, l 是器件的特征长度, $\phi_c = V_{\text{bi}} - 2\phi_f$, C_{DIBL} 是 DIBL 因子.

(2) 根据仿真结果(见图 2), 由于硅窗口带来的二维电场分布, 背面电势 $\phi_{\text{sb}}(x)$ 沿沟道方向不能维持常数. 这种作用可通过积分来修正原有模型, 表示为:

$$\Delta V_{\text{th.OSID}} = \frac{C_s}{C_{\text{ox}}} \left[(1 - r)\phi_{\text{sb}0} - 2 \int_0^{\frac{(1-r)}{2}} \phi_{\text{sb}}(x) dx \right]$$

在窗口尺寸小于沟道长度时, 靠近源漏端的背面电势与 SOI 基器件相同, 只有当窗口尺寸接近沟

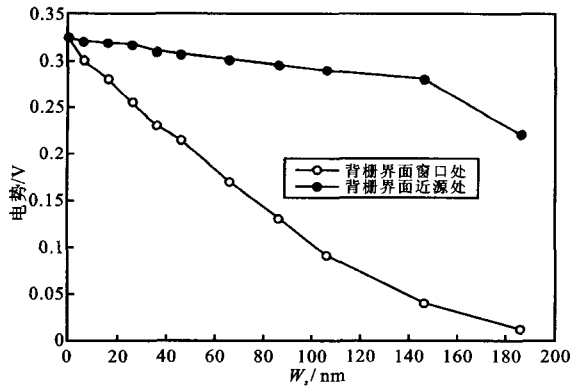


图2 背面电势随窗口尺寸的变化曲线

道长度时才显著下降.窗口附近的背面电势随着窗口尺寸的增加,明显下降.仿真结果表明背面电势由源(或漏)至窗口边缘单调下降,为了简化,假设呈线性变化($\varphi_{sb}(x) = \varphi_{sb0} - 2a\gamma x / (1 - \gamma)$).线性假设虽然在硅窗口尺寸接近沟道长度时产生误差,但此时 $(1 - \gamma)$ 较小,所以对计算结果影响不大.

(3) 由图3可知,在硅窗口区的空间电荷区宽度 t_{dep} 与普通体硅器件的最大空间电荷区宽度 x_{dm} 并不一致,有 $t_{dep} > x_{dm}$.这是因为由于屏蔽作用获得的 x_{dm} 是基于二维势场分布的.在半绝缘埋层的二维结构的影响下,硅窗口侧壁横向电场对 t_{dep} 也产生调制作用.部分通过侧壁的水平电力线终止与硅窗口内的空间电荷区,产生一个空间电荷增量,故空间电荷区进一步向体内延伸.根据仿真结果, t_{dep} 近似为抛物线,在窗口中心处取最小值.既然在硅窗口中是二维势场起作用,因此在硅窗口较窄的条件下,其宽度 W_s 对 t_{dep} 影响不可忽略.

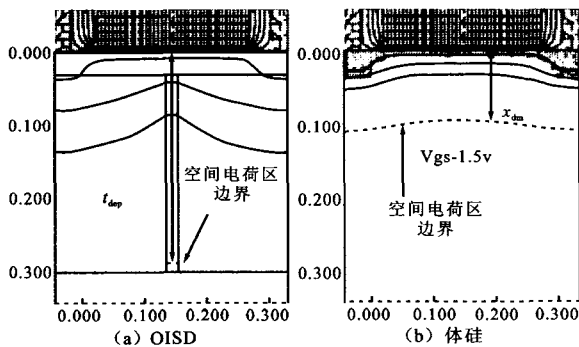


图3 空间电荷区分布情况

图4画出的是空间电荷区宽度随硅窗口宽度变化的趋势以及不同掺杂浓度的影响.随着窗口尺寸的增大,空间电荷区宽度逐渐接近体硅的情况.注意到即使硅窗口的尺寸超过沟道长度时,即仅在部分源漏下方注氧形成绝缘埋层,此时沟道空间电荷区

仍然受到二维结构的作用,阈值电压仍与体硅器件有所区别.由于绝缘层侧壁横向电场而引入的空间电荷区增量电荷将导致阈值电压变化,可以表示为:

$$\Delta V_{th, OISD} = \frac{\Delta Q_{dep}}{C_{ox}} = \frac{qN_A(t_{dep} - x_{dm})\gamma}{C_{ox}} \quad (11)$$

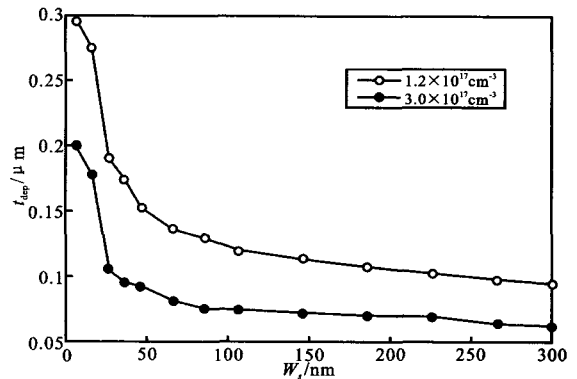


图4 空间电荷区宽度与硅窗口尺寸的关系

4 计算结果与讨论

图5说明了阈值电压随窗口大小变化而变化的情况.式(8)中,阈值电压与结构因子 γ 呈线性关系,与图5的仿真结果有差异,通过二维势场作用的修正,模型的计算与仿真结果基本吻合.

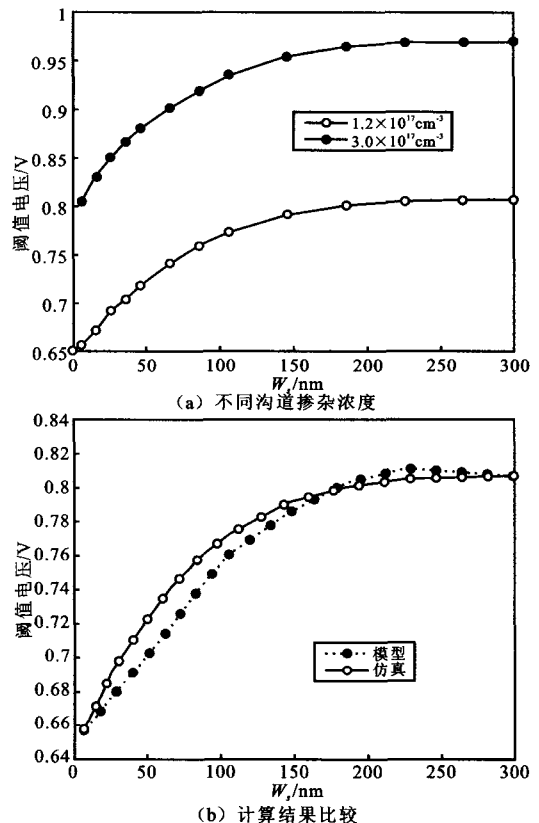


图5 阈值电压随窗口尺寸的变化

随着器件沟道长度的缩短,OSID MOSFET 体现出的短沟道阈值电压的偏移情况介于 SOI 和体硅 MOSFET 之间,受窗口尺寸的调制(如图 6(a)所示).在图 6(b)中考察窗口尺寸为 30nm 的 OSID 器件的亚阈值特性,发现对于深亚微米短沟 OSID 器件,其亚阈值斜率较体硅 MOSFET 更优;沟道较长时,OSID 器件的亚阈值特性比体硅器件要好,且与全耗尽 SOI 器件的基本一致.图 6(c)表明,绝缘层上尺寸适当的硅窗口可以显著改善 SOI MOSFET 的 DIBL 效应影响,并使得 DIBL 因子与体硅器件非常接近.

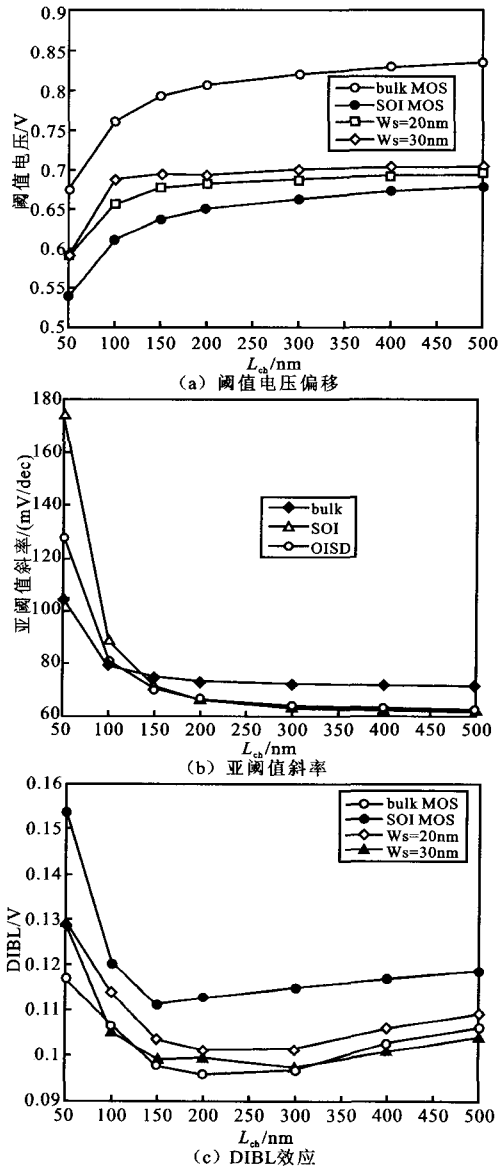


图 6 OSID 器件与 SOI 和体硅器件特性比较

进一步仿真 DIBL 因子随着窗口尺寸的变化情况,画出图 7 中的曲线,虽然 DIBL 因子与窗口尺寸

变化的规律比较复杂,但是图中清晰地显示在各种掺杂浓度条件下,DIBL 因子均有一个最小值点.因此对于沟道长度为 200nm 的 OSID 器件,抑制 DIBL 效应的最优硅窗口尺寸在 50nm 左右.

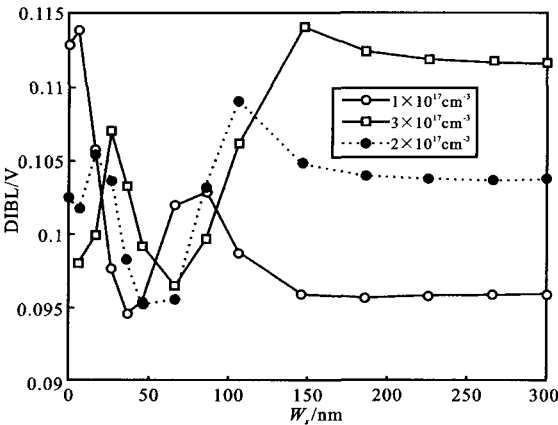


图 7 DIBL 效应因子随着窗口尺寸的变化

5 结束语

文中模拟 OSID MOSFET 的一些重要电学参数,并对其结构优化进行了分析.结果表明,由于结构上的二维效应的影响,器件的阈值电压、亚阈值特性,阈值电压偏移以及 DIBL 效应的作用显著不同于传统 SOI MOSFET 器件.此外,通过栅控制电荷分析,给出了含有经验参数的阈值电压模型,逐一分析引起的阈值电压变化的各种因素,并由仿真结果进行了验证.

参考文献:

[1] 宋文斌,韩郑生.基于 MPI 的全局并行遗传算法的 SOIMOS 器件模型参数提取[J].微电子学与计算机, 2009,26(7):261.

[2] Zhang Zhengxuan, Qing Lin, Ming Zhu, et al. A new structure of SOI MOSFET for reducing self-heating effect [J]. Ceramics International, 2004(30):1289.

[3] Tian Y, Bu W, Wu D, et al. Scaling capability improvement of silicon on viod (SOV) MOSFET[J]. Semiconductor Science and Technology, 2005,20(2):115.

[4] Peter J, Monfray S, Cristoloveanu S, et al. Silicon-on-nothing (SON) MOSFET's: performance, short-channel effects, and backgate coupling[J]. IEEE Trans. Electron Devices, 2004,51(2):240.

[5] Wu Junfeng, Bi Jinshun, LI Duoli, et al. Improved hot carrier reliability for PD SOI nMOSFETs with half-back-channel implantation[J]. Journal of Functional Materials and Devices, 2006, 12(5):389. (下转第 249 页)

为译码深度 35×24 个时钟周期,即 $35 \times 24 / 120\text{MHz} = 7\mu\text{s}$,进一步提高译码器的并行性,可以得到更高的译码速度。

Timing Analysis Summary				
Type	Slack	Required Time	Actual Time	
1 Worst-case tco	N/A	None	14.417 ns	
2 Worst-case tpd	N/A	None	7.187 ns	
3 Clock Setup: 'clk'	0.282 ns	115.01 MHz (period = 8.695 ns)	122.97 MHz (period = 8.132 ns)	
4 Clock Hold: 'clk'	0.457 ns	115.01 MHz (period = 8.695 ns)	N/A	
5 Total number of failed paths				

图6 系统时序分析结果

系统占用资源情况如图7所示。这其中除了译码器模块之外,还有存储在ROM中的256bit数据(作为信源),以及读ROM的模块,卷积码模块,噪声模块等,实际译码器占用的资源会略少于图7中所示的结果。

Fitter Status	Successful - Sat Jun 28 08:41:09 2008
Quartus II Version	7.2 Build 151 09/26/2007 SJ Full Version
Revision Name	all
Top-level Entity Name	all
Family	Stratix II
Device	EP2S30F484C5
Timing Models	Final
Logic utilization	42%
Combinational ALUTs	3 131/27 104(12%)
Dedicated logic registers	9 980/27 104(37%)
Total registers	9980
Total pins	70/343(20%)
Total virtual pins	0
Total block memory bits	256/1 369 728(<1%)
DSP block 9-bit elements	0/128(0%)
Total PLLs	0/6(0%)
Total DLLs	0/2(0%)

图7 系统占用资源情况

5 结束语

文中介绍了(2,1,7)卷积码的Viterbi译码算

法,对其结构特别其中的ACS单元作了改进,降低了硬件规模和功耗。流水线的细化也使得系统速度大大提高,5Mbps的译码速率可满足大部分需求。文中使用了4个ACS单元,并行程度有很大的提升空间,使用更多的单元并行将会使译码速率进一步提高。文中译码器的结构同样适合(2,1,n)码。

参考文献:

- [1] 李子臣. 信息论与编码[M]. 徐州:中国矿业大学出版社,2006:312-330.
- [2] 王新梅,肖国镇. 纠错码——原理与方法[M]. 西安:西安电子科技大学出版社,2001:496-498.
- [3] 黄君凯,王鑫. 一种高速Viterbi译码器的优化设计及Verilog实现[J]. 微电子学与计算机,2005,22(2):178-182.
- [4] Richard B Wells. 工程应用编码与信息理论[M]. 尹长川,罗涛,藤勇,等,译. 北京:机械工业出版社,2003(4):167-193.
- [5] 张健,刘小林,匡镜明,等. 高速Viterbi译码器的FPGA实现[J]. 电视技术,2006,46(3):37-41.
- [6] Viterbi A J. Error bounds for convolutional codes and an asymptotically optimum decoding algorithm [J]. IEEE Trans Inform Theory,1967,13(2):260-269.
- [7] Hekstra A P. An alternative to metric rescaling in Viterbi decoders[J]. IEEE Trans Communications,1989,37(11):1220-1222.

作者简介:

邱磊 男,(1985-),硕士研究生.研究方向为通信信号处理。

张岩 男,教授,博士生导师.研究方向为面向消费类电子芯片片上系统。

(上接第245页)

- [6] Ramakrishna Tadikonda, Shyam Hardikar, Sankara Narayanan E M. Realizing high breakdown voltages (>600V) in partial SOI technology[J]. Solid-State Electronics, 2004(48):1655.
- [7] Gilbert P V, Sun S W. A PELOX isolation sub-0.5 micron thin-film SOI technology[C]// Symposium on VLSI Circuits. Kyoto, 1996:132.
- [8] 谢晓锋,张文俊,杨之廉. 短沟道MOS阈值电压物理模型[J]. 固体电子学研究进展,2003,23(2):155.

作者简介:

高珊 女,(1978-),博士.研究方向为微电子学。

孟坚 男,(1969-),博士.研究方向集成电路设计。

陈军宁 男,(1954-),教授,博士生导师.研究方向为微电子学。

柯导明 男,(1954-),教授,博士生导师.研究方向为微电子学。